

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Seiki Aguro

Docket No.: TIJ-26495

Serial No.: TBD

Art Unit: Not Assigned

Filed: March 30, 1999

Examiner: Not Assigned

Title: COMPUTER SYSTEM



TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF
PRIORITY APPLICATION UNDER 35 U.S.C. § 119

Assistant Commissioner for Patents
Attn.: Box New Patent Applications
Washington, D. C. 20231

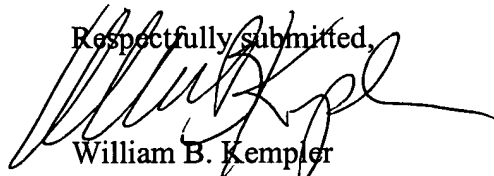
"EXPRESS MAIL" mailing label number
EL071333845US, Date of Deposit: : **March 30, 1999**. I hereby certify that the accompanying Application is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37CFR 1.10 on the above-mentioned date and is addressed to the Assistant Commissioner of Patents, Washington, DC 20231.


Ben Kroger

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. **10(1998)103532**, filed on **March 31, 1998**, in the Japanese Patent Office and from which priority under 35 U.S.C. § 119 is claimed for the above-identified application.

Respectfully submitted,


William B. Kempier
Senior Corporate Patent Counsel
Reg. No. 28,228

/rb

Texas Instruments Incorporated
PO BOX 655474, M/S 3999
Dallas, TX 75265
(972) 917-5452
(972) 917-4407

Attachment: Japanese Certified Document

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

J612 U.S. PTO
09/281042
03/30/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出 願 年 月 日
Date of Application:

1998年 3月31日

願 番 号
Application Number:

平成10年特許願第103532号

願 人
Applicant(s):

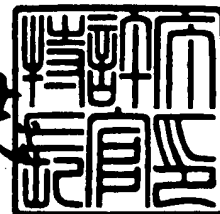
日本テキサス・インスツルメンツ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 2月12日

特 許 庁 長 官
Commissioner,
Patent Office

山 建 志 佐 平



出証番号 出証特平11-3005216

TTJ-26495 (97J181) US

【書類名】 特許願

【整理番号】 PN90014

【提出日】 平成10年 3月31日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 G06F 11/00

【発明の名称】 コンピュータシステム

【請求項の数】 3

【発明者】

【住所又は居所】 東京都港区北青山3丁目6番12号 青山富士ビル 日本テキサス・インスツルメンツ株式会社内

【氏名】 阿黒 清輝

【特許出願人】

【識別番号】 390020248

【住所又は居所】 東京都港区北青山3丁目6番12号 青山富士ビル

【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代表者】 生駒 俊明

【代理人】

【識別番号】 100086564

【弁理士】

【氏名又は名称】 佐々木 聖孝

【手数料の表示】

【予納台帳番号】 034290

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9206516

【書類名】 明細書

【発明の名称】 コンピュータシステム

【特許請求の範囲】

【請求項 1】 1つの半導体基板上にプロセッサ、メモリ、周辺回路およびそれらを相互に電氣的に接続する配線を集約化して形成してなるコンピュータシステムにおいて、

スキャンパス方式により前記プロセッサを介してシステム内の所定のメモリまたはレジスタの記憶内容を読み出し可能にするためのスキャンパス・インタフェース回路と、

前記プロセッサによってアクセス可能であり、前記プロセッサより与えられる所定の切換制御情報に応じて前記スキャンパス・インタフェース回路をイネーブル状態またはディセーブル状態のいずれかの状態に選択的に切り換えるための切換回路と、

前記プロセッサが前記切換回路に前記切換制御情報を与える処理を行うためのプログラムを保持するプログラム記憶手段とを有するコンピュータシステム。

【請求項 2】 前記切換回路が、前記切換制御情報を保持するための前記プロセッサによってアクセス可能なレジスタと、前記スキャンパス・インタフェース回路に接続される信号パス上に設けられ、前記レジスタの内容に応じて開状態もしくは閉状態となるゲート回路とを有することを特徴とする請求項 1 に記載のコンピュータシステム。

【請求項 3】 前記切換回路が、前記切換制御情報を保持するための前記プロセッサによって個別的にアクセス可能な複数のパスワード・レジスタと、前記複数のパスワード・レジスタの内容を互いに比較して比較結果を出す比較手段と、前記スキャンパス・インタフェース回路に接続される信号パス上に設けられ、前記比較手段からの比較結果に応じて開状態もしくは閉状態となるゲート回路とを有することを特徴とする請求項 1 に記載のコンピュータシステム。

【発明の詳細な説明】

【0010】

【発明の属する技術分野】

本発明は、記憶情報コピー防止機能を備えたワンチップ型のコンピュータシステムに関する。

【0020】

【従来の技術】

一般に、マイクロコンピュータのようなワンチップ型のコンピュータシステムでは、インサーキット・エミュレータによってソフトウェアのテストやデバッグをしたり、ハードウェアの動作のチェックが行われる。

【0030】

この種のエミュレーションでは、エミュレーションの対象となるコンピュータシステムつまりターゲット・システムでプログラム（ターゲット・プログラム）を実行し、その実行途中でトレース機能により任意の実行情報のパターンを検出したり、ブレイク機能によりターゲット・プログラムを所望のブレイク・ポイントで中断させてシステム内の各部の状態を調べたりして、ターゲット・システムをソフトウェア的またはハードウェア的にチェックないしデバッグするようにしている。

【0040】

この種のエミュレータの多くは、ターゲット・システム内の主要なメモリまたはレジスタの記憶内容をスキャンバス方式で読み出すようにしている。

【0050】

図4につきスキャンバス方式を説明する。図4において、ターゲット・システム100はたとえばマイクロプロセッサまたはDSP（ディジタルシグナルプロセッサ）であり、内部には様々なレジスタが各部に分散して配置されている。これら各種レジスタのうち、システムの要部を構成するレジスタ、たとえばアドレス系のレジスタや制御系のレジスタ、およびアキュムレータレジスタやメモリI/Oレジスタ等のようにプログラムの命令でそのレジスタ名を指定してそこにデータを書き込みまたはそこからデータを読み出せるようなデータ系のレジスタ（I/Oレジスタ）がスキャンバス①に組み込まれる。

【0060】

スキャン・パスに組み込まれる各レジスタは、通常モードではデータをパラレルに入出力し、スキャンパス・モードではデータをシリアルに入出力するように構成されている。

【0070】

一般に、1つのコンピュータシステム内に1本のスキャン・パスが設けられ、このスキャンパス上に複数のレジスタがシリアルに接続される。たとえば、図4のターゲット・システム100では、スキャンパス①上に7つのレジスタRA1, RA2, RB1, RB2, RB3, RC1, RC2がシリアルに接続される。これらレジスタRA1, RA2, RB1, RB2, RB3, RC1, RC2は通常動作においてはパラレルにアクセスされ、スキャンパスを使用するときにはこれらが全てシリアルにアクセスされる。このスキャンパス①の両端はマルチプレクサ102, 104およびデータ入出力端子106, 108を介してエミュレータ110に接続される。

【0080】

また、図4において、レジスタBypassは、エミュレーションモードにおいてスキャンパスを使用せずバイパスするときを使うレジスタである。同一のプリント基板上に複数のICが実装されており、あるICをスキャンパスによりデバッグするときには、その他のICは上記レジスタBypassにより信号をバイパスする。このバイパス②の両端はマルチプレクサ102, 104およびデータ入出力端子106, 108を介してエミュレータ110に接続される。

【0090】

また、図4において、レジスタRI1, RI2は命令レジスタであり、マルチプレクサ102, 104の切り換え、各モードの切り換えを行うための命令がセットされる。また、このレジスタRI1, RI2は命令の解読器も含む。

【0100】

エミュレーションにおいて、ターゲット・システム100のプログラムを所定のブレイク・ポイントで止めると、その時点のシステム状態を表す情報が各レジスタRA1, RA2, RB1, RB2, RB3, RC1, RC2に保持されている。

【0110】

エミュレータ 110 は、マルチプレクサ 102, 104 を切り替えてスキャンパス①を選択し、このスキャンパス①上の各レジスタに所定のクロックを供給して、各レジスタの内容をスキャンパス①上でシリアルに移動させて順次ターゲット・システム 100 の外に読み出して取り込む。

【0120】

エミュレータ 110 は、各スキャンパス上にどのレジスタがどの順位で位置しているのかを予め知っているため、スキャンパス①から取り込んだ一連のシリアルデータを各レジスタ毎に分離して、各レジスタの内容（情報）を認識することができる。

【0130】

【発明が解決しようとする課題】

上記のようなスキャンパス方式のエミュレーションによれば、プログラムバスピンを持たないワンチップ型のコンピュータシステムについても、システム内の記憶情報とりわけシステム内蔵のマスク ROM (Read Only Memory) に蓄積されるプログラムその他のデータをシステム外部から容易に読み出せる。つまり、ROM 内の記憶情報をそっくりコピーするのは簡単である。

【0140】

このように、スキャンパス機能を持つことで、システムの ROM 情報が不正にコピーされる危険性がつきまとう。

【0150】

従来のこの種コンピュータシステムでは、ROM 情報を機密に保ちたい場合には、エミュレーションに関係するシステム内のインタフェース回路と外部エミュレータとを接続するための信号バスをハードウェア的に断ち切り、両者の間で信号のやりとりを行えないようにしていた。

【0160】

しかし、この方法では、いったんコピープロテクトをかけると、信号バスが完全に断ち切られるため、以後はデバッグやテストが一切行えなくなるという不都合があった。

【0170】

本発明は、かかる問題点に鑑みてなされたもので、簡単な構成でコピープロテクトの実施と解除を何時でも切り換えることができるようにしたコンピュータシステムを提供することを目的とする。

【0180】

また、本発明は、セキュリティ度とフレキシビリティの高いコピープロテクト機能を有するコンピュータシステムを提供することを目的とする。

【0190】

【課題を解決するための手段】

上記の目的を達成するために、本発明の第1のコンピュータシステムは、1つの半導体基板上にプロセッサ、メモリ、周辺回路およびそれらを相互に電氣的に接続する配線を集約化して形成してなるコンピュータシステムにおいて、スキャンバス方式により前記プロセッサを介してシステム内の所定のメモリまたはレジスタの記憶内容を読み出し可能にするためのスキャンバス・インタフェース回路と、前記プロセッサによってアクセス可能であり、前記プロセッサより与えられる所定の切換情報に応じて前記スキャンバス・インタフェース回路をイネーブル状態またはディセーブル状態のいずれかの状態に選択的に切り換えるための切換回路と、前記プロセッサが前記切換回路に前記切換情報を与える処理を行うためのプログラムを保持するプログラム記憶手段とを有する構成とした。

【0200】

また、本発明の第2のコンピュータシステムは、上記第1のコンピュータシステムにおいて、前記切換回路が、前記切換制御情報を保持するために前記プロセッサによってアクセス可能なレジスタと、前記スキャンバス・インタフェース回路に接続される信号バス上に設けられ、前記レジスタの内容に応じて開状態もしくは閉状態となるゲート回路とを有する構成とした。

【0210】

また、本発明の第3のコンピュータシステムは、上記第1のコンピュータシステムにおいて、前記切換回路が、前記切換制御情報を保持するために前記プロセッサによって個別的にアクセス可能な複数のパスワード・レジスタと、前記複数のパスワード・レジスタの内容を互いに比較して比較結果を出す比較手段と、前

記スキャンパス・インタフェース回路に接続される信号パス上に設けられ、前記比較手段からの比較結果に応じて開状態もしくは閉状態となるゲート回路とを有する構成とした。

【0220】

【発明の実施の形態】

以下、図1～図3を参照して本発明の実施例を説明する。

【0230】

図1に、本発明の一実施例によるコンピュータシステムの主要な構成を示す。このコンピュータシステムは、1つの半導体基板上にプロセッサ、メモリ、周辺回路およびそれらを相互に電氣的に接続する配線を集約化して形成してなるワンチップ型のマイクロコンピュータである。

【0240】

このシステムにおいて、プロセッサはたとえば汎用DSP10からなり、メモリはマスクROM12および内部RAM(Random Access Memory)14からなり、周辺回路はゲートアレイ部16およびスキャンパス・インタフェース回路18からなる。ゲートアレイ部16は、ホストインタフェース回路20、汎用インタフェース回路22、切換回路24およびその他の種々のカスタムロジック回路（図示せず）を含んでいる。

【0250】

ROM12は、DSP10の処理動作を規定するプログラムや種々の設定データやテーブル等を格納する。後述する本実施例によるコピープロテクト関係のプログラム（ルーチン）もROM12に格納されてよい。DSP10とROM12とは、プログラム・アドレスバスPRABおよびプログラム・データバスPRDBを介して相互に接続されている。

【0260】

RAM14は、DSP10の演算処理に関係するデータを格納するほか、適当なシステム・プログラムまたはアプリケーション・プログラムを格納することもある。DSP10とRAM12とは、プログラム・アドレスバスPRAB、プログラム・データバスPRDB、データ読出し・アドレスバスDRAB、データ読

出し・データバスDRDB、データ書込み・アドレスバスDWABおよびデータ書込み・データバスDWDBを介して相互に接続されている。

【0270】

ゲートアレイ部16において、ホストインタフェース回路20は、本システムとホストコンピュータ（図示せず）との間でデータやプログラムをやりとりするためのインタフェース回路である。汎用インタフェース回路22は、本システムと外部の回路またはメモリとの間でデータやプログラムをやりとりするためのインタフェース回路である。

【0280】

ゲートアレイ部16内に設けられる切換回路24は、本実施例のコピープロテクト機能の一構成要素である。この切換回路24の具体的な構成および動作については後述する。

【0290】

ゲートアレイ部16内の各部は、外部バスつまりロジック・アドレスバスLAB、ロジック・データバスLDBおよびロジック・コントロールバスLCBを介してロジック・インタフェース回路26に接続されている。そして、ロジック・インタフェース回路26が上記内部バスPRAB、PRDB、DRAB、DRDB、DWAB、DWDBを介してDSP10に接続されている。

【0300】

ロジック・インタフェース回路26は、ゲートアレイ部16内の各部をDSP10に接続するためのインタフェース回路である。

【0310】

スキャンパス・インタフェース回路18は、本システムにおいてスキャンパス方式のエミュレーションを実行するためのインタフェース回路であり、エミュレーションのための専用レジスタやマルチプレクサ等のデータ転送手段、および外部エミュレータからのタイミング信号や制御信号にしたがってそれらデータ転送手段を制御するためのコントローラ等を含んでいる。

【0320】

図2に、本実施例における切換回路24の要部の回路構成例を示す。

【0330】

この構成例では、たとえば16ビットのパラレルイン・パラレルアウト型のレジスタからなる一対のパスワード・レジスタ30、32、コンパレータ34およびゲート回路36で構成されている。両パスワード・レジスタ30、32の各々のデータ入力端子はロジック・データ・バスLDBに接続されており、各々のデータ出力端子はコンパレータ34の入力端子に接続されている。コンパレータ34の出力端子はゲート回路36の制御端子に接続されている。ゲート回路36はたとえばANDゲート等のロジック回路からなり、スキャンバス・インタフェース回路18とエミュレーション用の端子ピン（図示せず）との間の信号パス上に設けられている。

【0340】

また、切換回路24内には、レジスタ30、32にデータを書き込むための書込制御手段としてアドレスデコーダ回路（図示せず）も設けられている。このアドレスデコーダ回路は、ロジック・アドレスバスLABおよびロジック・コントロールバスLCBに接続されている。

【0350】

次に、本実施例におけるコピープロテクト機能の作用について説明する。

【0360】

たとえば本システム（チップ）のリセット端子にリセット信号が入ると、DSP10はROM12に蓄積されている所定のプログラムにしたがって所要の初期化処理を実行し、その処理の一つとしてコピープロテクト・ルーチンを以下のようにして実行する。

【0370】

まず、DSP10は、データ読出し・アドレスバスDRAB上に所定の読出しアドレスを出力して、RAM14よりデータ読出し・データバスDRDB上に所定のパスワードPWのデータを読み出し、この読み出したパスワードデータPWを取り込む。

【0380】

次いで、DSP10は、ロジック・インタフェース回路26を介してロジック

・アドレスバス LAB およびロジック・データバス LDB 上に切換回路 24 内の第 1 のレジスタ 30 を指定する所定の書込みアドレスおよび該パスワードデータ PW をそれぞれ送出する。これにより、切換回路 24 では、第 1 のパスワード・レジスタ 30 に該パスワードデータ PW が書き込まれる。

【0390】

上記のパスワード PW は、プログラマ等の本システム関係者だけが知っている暗号コードであり、一定範囲のワード数で任意の値に設定される。

【0400】

次に、DSP 10 は、ロジック・インタフェース 26 を介してロジック・アドレスバス LAB およびロジック・データバス LDB 上に切換回路 24 内の第 2 のパスワード・レジスタ 32 を指定する所定の書込みアドレスおよび該パスワードデータ PW とは異なる任意のデータ RW をそれぞれ送出する。これにより、切換回路 24 では第 2 のパスワード・レジスタ 32 に該データ RW が書き込まれる。

【0410】

切換回路 24 内では、コンパレータ 34 が、両パスワード・レジスタ 30、32 の内容 (PW, RW) を比較し、両者が不一致であることを示すたとえば論理値 L の比較結果信号 CL をゲート回路 36 に与える。これにより、ゲート回路 36 はオフまたは遮断状態となる。これで、スキャンバス・インタフェース回路 18 は、エミュレーション用端子ピンとの間の信号パスを断たれ、ディスエーブル (動作不能) 状態となる。

【0420】

したがって、本システムにエミュレータを接続しても、エミュレータとスキャンバス・インタフェース回路 18 との間で信号のやりとりができず、エミュレーションは実行不能となる。こうして、システム内の記憶情報とりわけ ROM 12 の記憶内容が不正なコピーから保護される。

【0430】

なお、このようなコピープロテクトで機能しないのはスキャンバス・インタフェース回路 18 だけであり、システム内の他の全ての資源または要素は通常に機能することができる。特に、DSP 10 は、システム本来の処理を実行するに際

して、スキャンパス・インタフェース回路 18 および切換回路 24 と関わる必要がないので、何の支障もなく機能することができる。

【0440】

本システムのコピープロテクト状態を解除するには、たとえば外部のホストコンピュータより本システムに所定のコマンドを与える。このコマンドがホストインタフェース回路 20 に入力されると、DSP 10 に割込みが (Int) が入り、DSP 10 は ROM 12 に格納されている所定のコピープロテクト解除ルーチンにしたがって以下のような処理を実行する。

【0450】

まず、DSP 10 は、ロジック・アドレス・バス LAB, ロジック・データバス LDB、ロジック・インタフェース回路 26、データ読出し・アドレスバス DRAB、データ読出し・データバス DRDB を介してホストインタフェース回路 20 より入力コマンドを取り込む。次いで、この取り込んだ入力コマンドをデータ書込み・アドレスバス DWAB、データ書込み・データバス DWDB を介して RAM 14 にいったん格納する。

【0460】

次に、DSP 10 は、データ読出し・アドレスバス DRAB、データ読出し・データバス DRDB を介して RAM 14 より該入力コマンドを取り込み、内部の演算回路においてこの入力コマンドを ROM 12 内のコマンドテーブルと比較照合することで、入力コマンドの解読を行う。

【0470】

この入力コマンドがコピープロテクト解除のコマンドであるとの解読結果が得られた場合、DSP 10 は、切換回路 24 の第 2 のパスワード・レジスタ 32 に書き込むためのパスワード PW' をデータ読出し・アドレスバス DRAB、データ読出し・データバス DRDB を介して取り込む。このパスワード PW' は RAM 14 の所定の記憶番地より読み出してもよく、あるいはホストインタフェース回路 20 より解除コマンドと一緒に与えられたものであってもよい。いずれにせよ、このパスワード PW' も、本システム関係者だけが知っている暗号コードであり、第 1 のパスワード・レジスタ 30 に保持されるパスワード PW と同じ値に

選ばれている。

【0480】

次に、DSP10は、取り込んだパスワードPW'を上記した初期化のときと同様の書込みサイクルで切換回路24の第2のパスワード・レジスタ32に書き込む。

【0490】

そうすると、切換回路24では、コンパレータ34より両パスワード・レジスタ30, 32の内容(PW, PW')が一致することを示すたとえば論理値Hの比較結果信号CLが得られ、この比較結果信号CLに応じてゲート回路36がオンまたは導通状態となる。これによって、スキャンパス・インタフェース回路18は、エミュレーション用端子ピンとの間で信号パスが導通し、イネーブル(動作可能)状態となる。

【0500】

したがって、本システムにエミュレータを接続すれば、そのエミュレータとスキャンパス・インタフェース回路18との間で信号のやりとりができ、スキャンパス方式のエミュレーションを実行できる。このエミュレーションによって、本システム内の主要なメモリやレジスタの記憶情報を読み出してデバッグやテストを行うことが可能であり、マスクROM12の内容をダンプすることも可能である。

【0510】

上記したように、本実施例のコンピュータシステムでは、スキャンパス・インタフェース回路18をイネーブル状態またはディスエーブル状態に選択的に切り換えるための切換回路24をゲートアレイ部16に設けるとともに、DSP10がこの切換回路24にアクセスして切換制御情報(PW, RW, PW')を書き込むためのルーチンを予めROM12に格納しておく。

【0520】

定常時は、たとえば初期化時のコピープロテクト・ルーチンによって切換回路24に所定の切換制御情報(PW, RW)が書き込まれることでスキャンパス・インタフェース回路18がディスエーブル状態となって、スキャンパス方式のエ

ミュレーションが実行不能となり、システム内の記憶情報とりわけROM 12の記憶情報がコピーできない状態となる。また、システムリセットにより、強制的（ハードウェア的）にパスワード・レジスタ30, 32にそれぞれ別の値をセットし、スキャンパス・インタフェース回路18をディスエーブル状態にすることもできる。

【0530】

そして、本システムにおいてデバッグ等のためエミュレーションを行う必要があるときは、外部のホストコントローラより所定のコマンドを与えると、システム内でコピープロテクト解除ルーチンが実行され、切換回路24に所定の切換制御情報（PW, PW'）が書き込まれることでスキャンパス・インタフェース回路18がイネーブル状態となって、スキャンパス方式のエミュレーションが実行可能となり、システム内の記憶情報とりわけROM 12の記憶内容が読み出し可能となる。

【0540】

なお、エミュレーションの終了後は、たとえばホストコンピュータ側からのリセット信号に応答して、DSP 10が上記と同様のコピープロテクト・ルーチンを実行し、再びコピープロテクトをかける。

【0550】

このように、本実施例では、コピープロテクトの実施と解除を何時でも切り換えできるようにしたので、システム記憶情報の機密保持とデバッグのやり直しとを同時に実現できる。また、コピープロテクトの実施と解除をソフトウェア的またはプログラマブルに行うようにしたので、ICメーカー側の管理は不要となり、カスタマが自由に管理することができる。

【0560】

しかも、本実施例では、2つのパスワード・レジスタ30, 32に書き込むデータ（切換制御情報）を不一致にするか一致させるかでゲート回路36の開閉状態を制御し、ひいてはコピープロテクトの実施と解除を切換制御するようにしている。この方式によれば、切換制御情報またはパスワードを自由に設定・変更することができ、セキュリティ度およびフレキシビリティの高いパスワード管理を

行える。

【0570】

なお、セキュリティ度をさらに高めるために、ホストコンピュータよりコピープロテクト解除のコマンドとパスワードを与える際に、1つまたは複数のダミーのパスワードを本来のパスワードと一緒に送るようにしたり、あるいは該パスワードに所定のスクランブルをかけて送りDSP10がこれを解読するようにプログラムしてもよい。

【0580】

本実施例では、ハードウェア的にはゲートアレイ部16に簡単なロジックの切換回路24を設け、ソフトウェア的にはプロセッサによる通常の手込みサイクルおよび読み出しサイクルを用いる簡単なルーチンを用意することにより、特別な端子や外部回路を必要とすることなく必要最小限の資源で、上記のようなセキュリティ度とフレキシビリティの高いコピープロテクト機能を実現している。

【0590】

以上、本発明の好適な実施例を説明したが、本発明の技術思想の範囲内で種々の変形・変更が可能である。

【0600】

たとえば、本システムにコピープロテクトの実施／解除を切り換えるための指示を外部から与えるには種々の方法が可能であり、ホストインタフェース回路20以外にも汎用インタフェース回路22や他のポートからコマンドまたはパスワードを入れることもできる。

【0610】

切換回路24において、パスワード・レジスタを3個以上とすることも可能である。また、セキュリティ度とフレキシビリティの点では上記実施例のものよりかなり劣るが、図3に示すように、たとえば1つのレジスタ38とゲート回路36で構成し、レジスタ38に1つの切換制御情報を書き込んで、コピープロテクトの実施／解除を切換制御することも可能である。

【0620】

なお、ゲート回路36は、オフ状態ではスキャンパス・インタフェース回路1

8に接続される信号パスを実質的に遮断すればよく、必ずしも当該信号パスの全ビットを遮断する必要はなく、たとえばスキャンパス用のクロック信号だけを遮断する構成とすることも可能である。

【0630】

また、上記実施例ではスキャンパス・インタフェース回路18に接続される信号パス上に切換回路24を設けたが、そのような信号パスを介することなく切換回路24が直接または間接的にスキャンパス・インタフェース回路18を切り換える構成とすることも可能である。

【0640】

上記実施例ではコピープロテクト関係のルーチン（プログラム）をROM12に格納したが、RAM14その他の記憶手段に格納してもよい。

【0650】

上記実施例では切換回路24を電氣的にスキャンパス・インタフェース回路18とエミュレーション用端子ピンとの間に設けたが、他の場所たとえばスキャンパス・インタフェース回路18とDSP10との間に設けることも可能である。

【0660】

本発明のコンピュータシステムにおけるプロセッサはDSP以外にも任意の方式のプロセッサが可能であり、メモリや周辺装置も種々の変形が可能である。

【0670】

【発明の効果】

以上説明したように、本発明のコンピュータシステムによれば、プロセッサが所定のプログラムを実行して切換回路に所定の切換制御情報を書き込むことにより、スキャンパス・インタフェース回路をイネーブル状態またはディスエーブル状態に選択的に切り換えるようにしたので、簡単な構成でコピープロテクトの実施と解除を何時でも切り換えることが可能であり、システム内の記憶情報の機密保持とデバッグのやり直しを同時に実現することができる。

【図面の簡単な説明】

【図1】

本発明の一実施例によるコンピュータシステムの主要な構成を示すブロック図

である。

【図 2】

実施例における切換回路の構成例を示す回路図である。

【図 3】

実施例における切換回路の変形例を示す回路図である。

【図 4】

スキャンパス方式を説明するための図である。

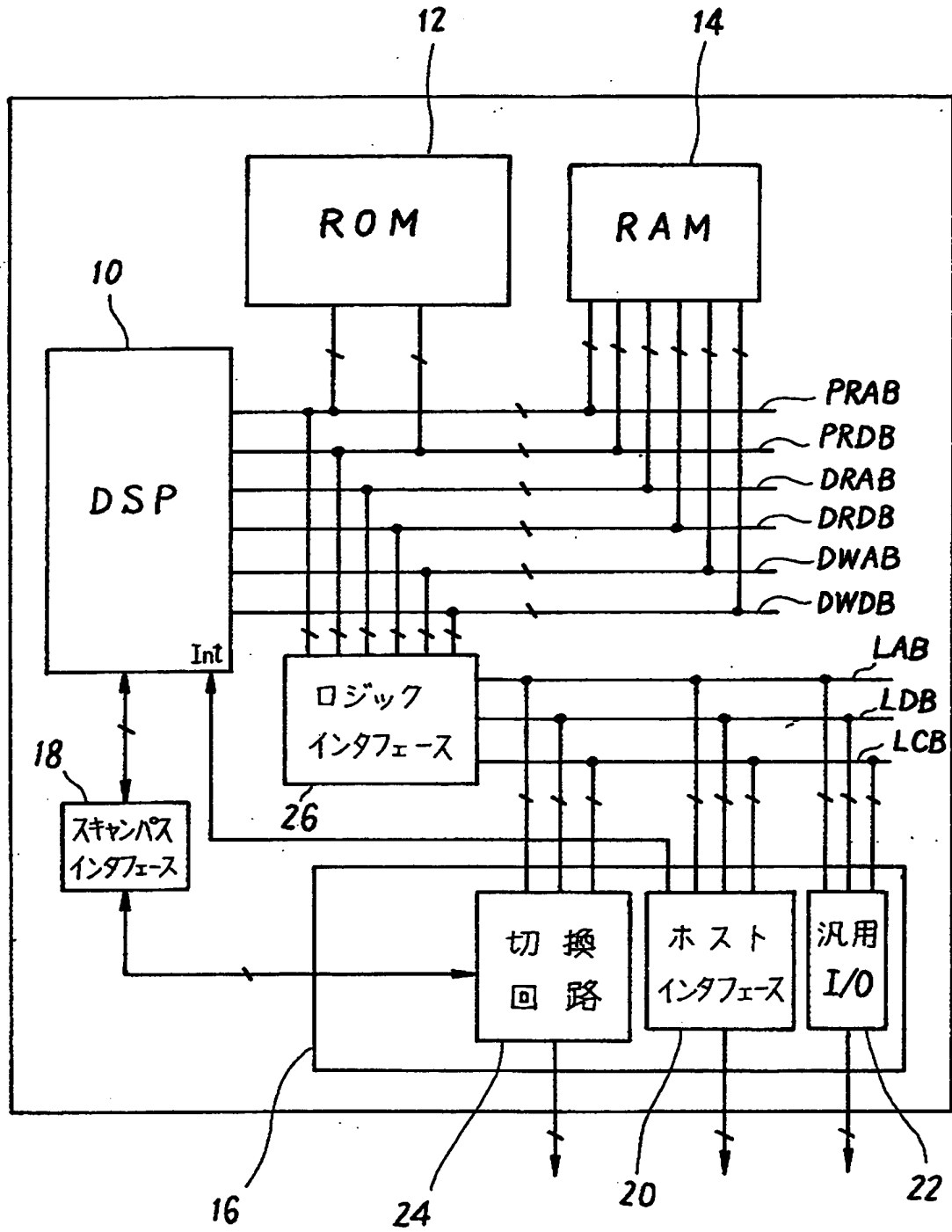
【符号の説明】

10	DSP
12	ROM
14	RAM
16	ゲートアレイ部
18	スキャンパス・インタフェース回路
20	ホストインタフェース回路
24	切換回路
30, 32	パスワード・レジスタ
34	コンパレータ
36	ゲート回路
38	レジスタ

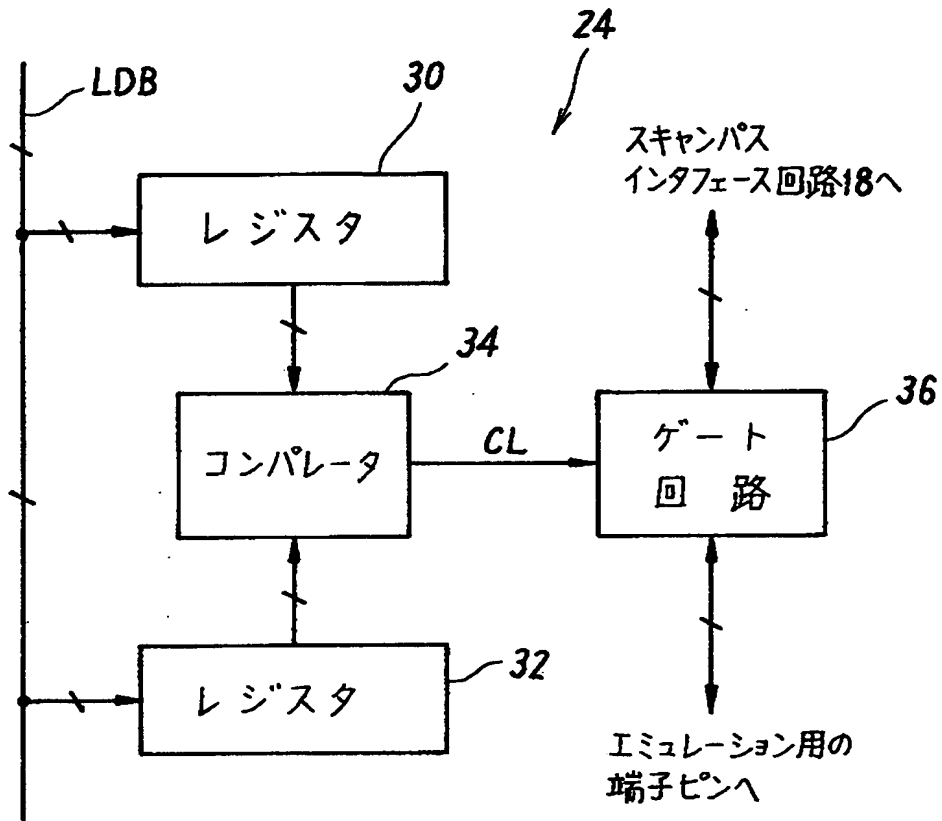
【書類名】

図面

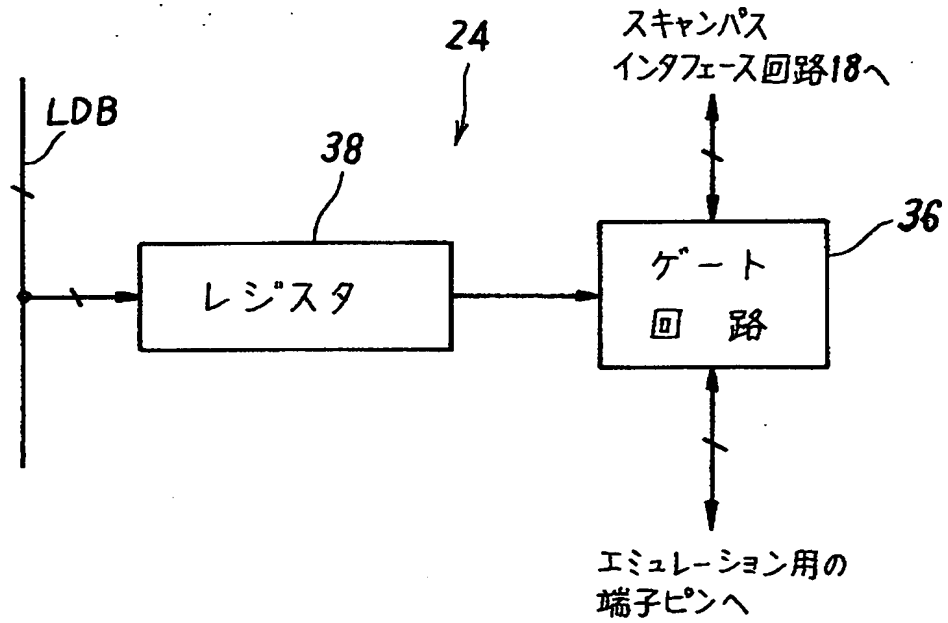
【図 1】



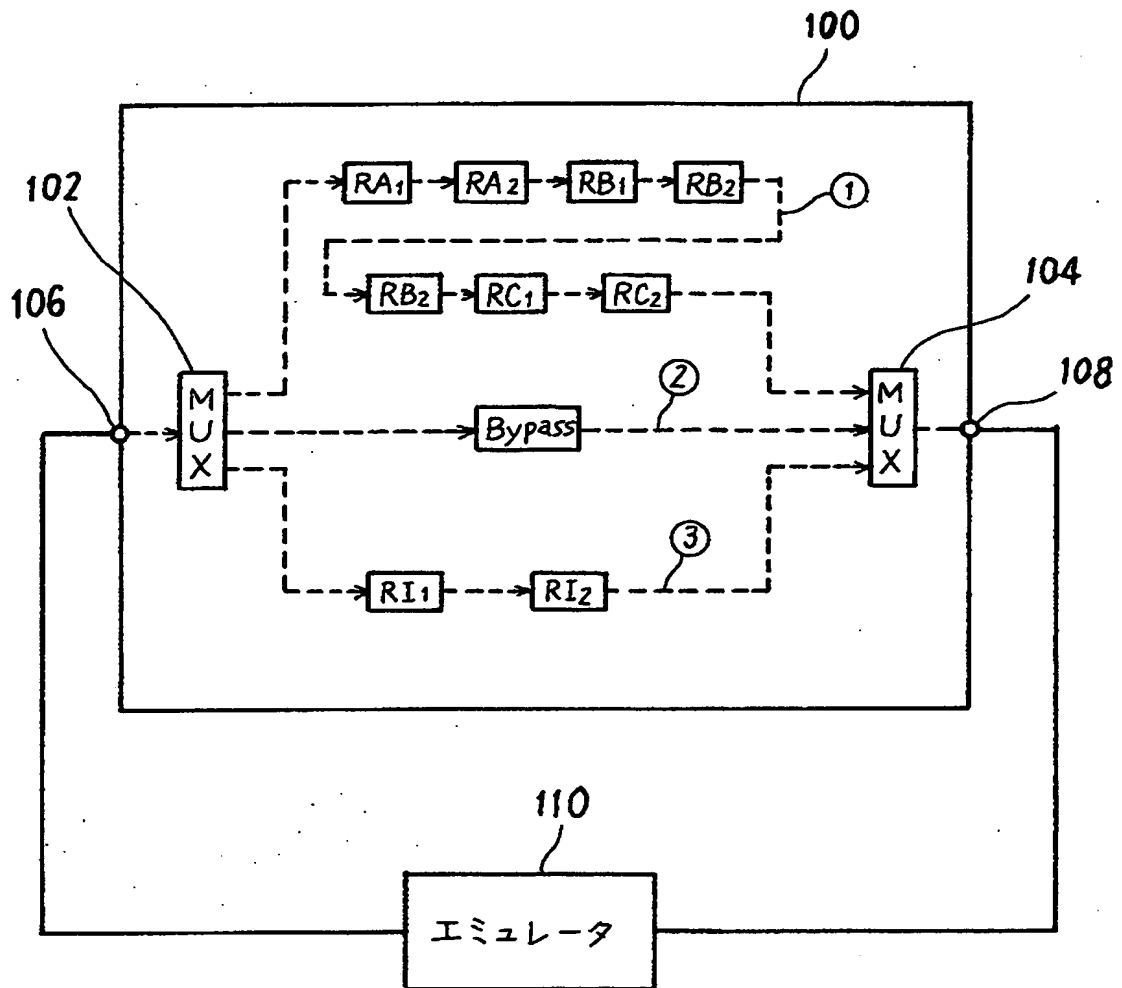
【図2】



【図3】



【図 4】



【書類名】 要約書

【要約】

【課題】 簡単な構成でコピープロテクトの実施と解除を何時でも切り換えられるようにする。

【解決手段】 スキャンパス・インタフェース回路 18 とエミュレーション用の端子ピンとの間の信号パス上でゲートアレイ部 16 内に切換回路 24 が設けられる。DSP10 は、内部バス、ロジックインタフェース回路 26 およびロジックバスを介して切換回路 24 にアクセスし、所望の切換制御情報を切換回路 24 内のレジスタに書き込むことができる。切換回路 24 は、DSP10 より与えられた切換制御情報にしたがって信号パスを遮断状態または導通状態に選択的に切り換えることにより、スキャンパス・インタフェース回路 18 をイネーブル状態またはディスエーブル状態に選択的に切り換える。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 390020248
【住所又は居所】 東京都港区北青山3丁目6番12号 青山富士ビル
【氏名又は名称】 日本テキサス・インスツルメンツ株式会社
【代理人】 申請人
【識別番号】 100086564
【住所又は居所】 東京都千代田区神田駿河台2-11-16 駿河台
さいかち坂ビル302号 佐々木国際特許事務所
【氏名又は名称】 佐々木 聖孝

出 願 人 履 歴 情 報

識別番号 [390020248]

1. 変更年月日	1990年11月 7日
[変更理由]	新規登録
住 所	東京都港区北青山3丁目6番12号 青山富士ビル
氏 名	日本テキサス・インスツルメンツ株式会社